

PATENT ABSTRACTS OF JAPAN

B8

(11)Publication number : 2003-168938

(43)Date of publication of application : 13.06.2003

(51)Int.Cl.

H03G 3/10

G06G 7/16

H03D 7/14

H03F 1/32

H03F 3/45

(21)Application number : 2001-363754

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.11.2001

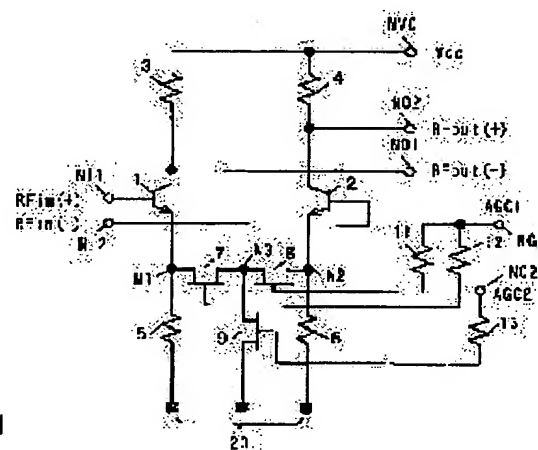
(72)Inventor : BABA SEIICHI

(54) VARIABLE GAIN TYPE DIFFERENTIAL AMPLIFYING CIRCUIT, AND MULTIPLYING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a variable gain type differential amplifier which can materialize high gain and reduced noise at input of a feeble signal even in high frequency region, and also can materialize distortion reduction at input of a large signal, and a multiplying circuit using it.

SOLUTION: Two FETs 7 and 8 are connected in series between the nodes N1 and N2 connected to the emitters of transistors 1 and 2. An FET 9 is connected between the node between the FETs 7 and 8 and a grounding terminal. The gates of the FETs 7 and 8 are connected to a control terminal NG, which receives control voltage AGC via resistors 11 and 12, respectively. The gate of the FET 9 is connected to a control terminal NG2, which receives control voltage AGC2 via a resistance 13. The control voltages AGC1 and AGC2 change complementarily. The FETs 7, 8, and 9 constitute a variable resistance circuit 20.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

16.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-168938

(P2003-168938A)

(43) 公開日 平成15年6月13日 (2003.6.13)

(51)Int.Cl. ⁷	識別記号	F I	ページ*(参考)		
H 0 3 G	3/10	H 0 3 G	3/10	B	5 J 0 6 6
G 0 6 G	7/16	G 0 6 G	7/16	D	5 J 0 9 0
H 0 3 D	7/14	H 0 3 D	7/14	C	5 J 1 0 0
H 0 3 F	1/32	H 0 3 F	1/32		5 J 5 0 0
	3/45		3/45	Z	
審査請求 未請求 請求項の数 8 O L (全 11 頁)					

(21) 出願番号 特願2001-363754(P2001-363754)

(22) 出願日 平成13年11月29日 (2001. 11. 29)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 馬場 清一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

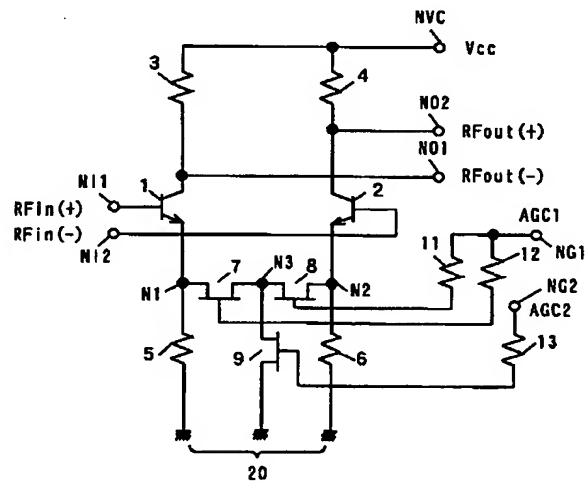
最終頁に続く

(54) 【発明の名称】 可変利得型差動増幅回路および乗算回路

(57) 【要約】

【課題】 高周波領域においても微小信号入力時の高利得化および低雑音化を実現するとともに大信号入力時の低歪み化を実現することができる可変利得型差動増幅器およびそれを用いた乗算回路を提供することである。

【解決手段】 トランジスタ1, 2のエミッタに接続されるノードN1, N2間には、2つのFET7, 8が直列に接続されている。FET7, 8間のノードN3と接地端子との間にFET9が接続されている。FET7, 8のゲートはそれぞれ抵抗11, 12を介して制御電圧AGC1を受ける制御端子NG1に接続されている。FET9のゲートは抵抗13を介して制御電圧AGC2を受ける制御端子NG2に接続されている。制御電圧AGC1, AGC2は互いに相補的に変化する。FET7, 8, 9が可変抵抗回路20を構成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続される第 2 の端子および第 2 の負荷を介して第 2 の電位に接続される第 3 の端子を有する第 1 のトランジスタと、
第 2 の入力信号を受ける第 1 の端子、第 3 の負荷を介して前記第 1 の電位に接続される第 2 の端子および第 4 の負荷を介して前記第 2 の電位に接続される第 3 の端子を有する第 2 のトランジスタと、
前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に接続された可変インピーダンス回路とを備え、
前記可変インピーダンス回路は、
前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に直列に接続された複数の第 1 のスイッチング素子と、
前記複数の第 1 のスイッチング素子間の接続点と前記第 2 の電位との間に接続され、前記複数の第 1 のスイッチング素子と相補的にオンオフする少なくとも 1 つの第 2 のスイッチング素子とを含むことを特徴とする可変利得型差動増幅器。

【請求項 2】 前記第 2 のトランジスタの前記第 2 の端子に接続され、出力信号を導出する出力端子をさらに備えたことを特徴とする請求項 1 記載の可変利得型差動増幅器。

【請求項 3】 前記第 1 のトランジスタの前記第 2 の端子に接続され、第 1 の出力信号を導出する第 1 の出力端子と、
前記第 2 のトランジスタの前記第 2 の端子に接続され、第 2 の出力信号を導出する第 2 の出力端子とをさらに備えたことを特徴とする請求項 1 記載の可変利得型差動増幅器。

【請求項 4】 前記第 1 の入力信号を受け、前記第 1 のトランジスタの前記第 1 の端子に与える入力端子と、
前記入力端子の前記第 1 の入力信号を反転して前記第 2 のトランジスタの前記第 1 の端子に前記第 2 の信号として与える反転回路とをさらに備えたことを特徴とする請求項 1～3 のいずれかに記載の可変利得型差動増幅器。

【請求項 5】 第 1 の端子、第 2 の端子および第 3 の端子を有する第 1、第 2、第 3、第 4、第 5 および第 6 のトランジスタと、

可変インピーダンス回路とを備え、

前記第 1 のトランジスタの前記第 1 の端子は第 1 の入力信号を受け、前記第 2 の端子は第 1 の負荷を介して第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 2 のトランジスタの前記第 1 の端子は第 2 の入力信号を受け、前記第 2 の端子は第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 3 のトランジスタの前記第 1 の端子は前記第 2 の入力信号を受け、前記第 2 の端子は前記第 1 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 6 のトランジスタの前記第 2 の端子に接続され、
前記第 4 のトランジスタの前記第 1 の端子は前記第 1 の入力信号を受け、前記第 2 の端子は前記第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 6 のトランジスタの前記第 2 の端子に接続され、
前記第 5 のトランジスタの前記第 1 の端子は第 3 の入力信号を受け、前記第 3 の端子は第 3 の負荷を介して第 2 の電位に接続され、

前記第 6 のトランジスタの前記第 1 の端子は第 4 の入力信号を受け、前記第 3 の端子は第 4 の負荷を介して前記第 2 の電位に接続され、

前記可変インピーダンス回路は、

前記第 5 のトランジスタの前記第 3 の端子と前記第 6 のトランジスタの前記第 3 の端子との間に直列に接続された複数の第 1 のスイッチング素子と、

前記複数の第 1 のスイッチング素子間の接続点と前記第 2 の電位との間に接続され、前記複数の第 1 のスイッチング素子と相補的にオンオフする少なくとも 1 つの第 2 のスイッチング素子とを含むことを特徴とする乗算回路。

【請求項 6】 前記第 2 および第 4 のトランジスタの前記第 2 の端子に接続され、出力信号を導出する出力端子をさらに備えたことを特徴とする請求項 5 記載の乗算回路。

【請求項 7】 前記第 1 および第 3 のトランジスタの前記第 2 の端子に接続され、第 1 の出力信号を導出する第 1 の出力端子と、

前記第 2 および第 4 のトランジスタの前記第 2 の端子に接続され、第 2 の出力信号を導出する第 2 の出力端子とをさらに備えたことを特徴とする請求項 5 記載の乗算回路。

【請求項 8】 前記第 1 の入力信号を受け、前記第 1 および第 4 のトランジスタの前記第 1 の端子に与える第 1 の入力端子と、

前記第 1 の入力端子の前記第 1 の入力信号を反転して前記第 2 および第 3 のトランジスタの前記第 1 の端子に前記第 2 の入力信号として与える第 1 の反転回路と、

前記第 3 の入力信号を受け、前記第 5 のトランジスタの前記第 1 の端子に与える第 2 の入力端子と、

前記第 2 の入力端子の前記第 3 の入力信号を反転して前記第 6 のトランジスタの前記第 1 の端子に前記第 4 の入力信号として与える第 2 の反転回路とをさらに備えたことを特徴とする請求項 5～7 のいずれかに記載の乗算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変利得型差動増

幅器およびそれを用いた乗算回路に関する。

【0002】

【従来の技術】従来より、可変利得型差動増幅器（可変利得機能付差動増幅回路）が用いられている。バイポーラトランジスタ、MOSFET（金属酸化物電界効果トランジスタ）等のSi（シリコン）デバイスを用いた集積回路では、可変利得型差動増幅器として、ギルバート型構成を有する増幅器およびOTA（オペレーショナルトランスコンダクタンス増幅器：operational transconductance amplifier）構成を有する増幅器が主流となっ

ている。
【0003】ギルバート型構成を有する増幅器は、広い可変利得範囲を有するが、消費電力や雑音特性の面で劣っている。そのため、移動体通信、テレビジョンチューナ等では、一般的に、差動増幅器にFETスイッチ等からなる可変抵抗回路を設けたOTA構成が用いられる。

【0004】図9はOTA構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【0005】図9の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）101、102、抵抗103、104、105、106およびn-MOSFET（以下、FETと略記する）107により構成される。FET107が可変抵抗回路200を構成する。

【0006】トランジスタ101のベースは入力信号RFin（+）を受ける入力端子N11に接続され、トランジスタ102のベースは入力信号RFin（-）を受ける入力端子N12に接続されている。入力信号RFin（+）、RFin（-）は、差動入力である。トランジスタ101、102のコレクタは、それぞれ抵抗103、104を介して電源電圧Vccを受ける電源端子NVCに接続されている。トランジスタ101、102のエミッタは、それぞれ抵抗105、106を介して接地端子に接続されている。また、トランジスタ101、102のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RFout（+）、RFout（-）が導出される。出力信号RFout（+）、RFout（-）は差動出力である。

【0007】トランジスタ101、102のエミッタに接続されるノードN1、N2間には、FET107が接続されている。FET107のゲートは、抵抗110を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0008】図9の可変利得型差動増幅器では、FET107のゲートに制御電圧AGCを印加してFET107のソース・ドレイン間抵抗を変化させることにより、利得制御を行う。例えば、FET107をオン状態にすれば、最大利得および低雑音特性が得られる。この場合、微小な高周波信号の増幅に適している。また、FET

T107をオフ状態にすれば、減衰量が最大（最小利得）となり、歪み特性が向上する。この場合、電界強度が高い状態での混変調に強くなる。

【0009】したがって、FET107のオフ時のインピーダンスとFET107のオン時のインピーダンスとの比が高いほど、ダイナミックレンジに優れた高周波増幅器が実現される。理想的には、FET107のオン時のインピーダンス（Zon）が0となり、オフ時のインピーダンス（Zoff）が無限となればよい。

【0010】しかしながら、FET107のオン状態では、有限のオン抵抗が存在し、オフ状態では有限のオフ容量が存在するために、理想状態は実現できない。

【0011】図10は図9の可変利得型差動増幅器の可変抵抗回路200の等価回路を説明するための図であり、（a）は可変抵抗回路200の回路図、（b）はFET107がオン状態の場合の可変抵抗回路200の等価回路図、（c）はFET107がオフ状態の場合の可変抵抗回路200の等価回路図である。

【0012】ここで、FET107のオン時の抵抗をオン抵抗Ronとし、FET107のオフ時の容量をオフ容量Coffとする。

【0013】FET107のオン状態では、ノードN1、N2間に有限のオン抵抗Ronが存在し、オフ状態では、ノードN1、N2間に有限のオフ容量Coffが存在する。そのために、理想状態は実現できない。

【0014】一般に、FETのオン抵抗Ronおよびオフ容量Coffは、FETのゲート幅Wgを用いて次式（1）、（2）で表される。

【0015】

$$R_{on} = R_{on}(\text{mm}) / W_g(\text{mm}) \quad \cdots (1)$$

$$C_{off} = C_{off}(\text{mm}) \times W_g(\text{mm}) \quad \cdots (2)$$

ここで、Ron（mm）はゲート幅1mm当たりのオン抵抗であり、Coff（mm）はゲート幅1mm当たりのオフ容量である。上式（1）、（2）から、ゲート幅Wgを増大させると、オン抵抗Ronは低下し、オフ容量Coffは増加する。逆に、ゲート幅Wgを小さくすると、オン抵抗Ronは増加し、オフ容量Coffは低下する。

【0016】

【発明が解決しようとする課題】上記の従来の可変利得型増幅器では、FET107のゲート幅Wgを増大させることによりオン抵抗Ronを低下させて微小信号時の雑音指数を改善すると、その反面でゲート幅Wgに比例してオフ容量Coffが増大し、高周波領域では大信号入力時のオフ状態のインピーダンスが低下する。すなわち、歪み特性が劣化することになる。また、低歪み化を優先した場合、微小信号時の雑音指数が劣化するという問題がある。

【0017】本発明の目的は、高周波領域においても微小信号入力時の高利得化および低雑音化を実現すると

もに大信号入力時の低歪み化を実現することができる可変利得型差動増幅器およびそれを用いた乗算回路を提供することである。

【0018】

【課題を解決するための手段および発明の効果】本発明に係る可変利得型差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第2の負荷を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第3の負荷を介して第1の電位に接続される第2の端子および第4の負荷を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された複数の第1のスイッチング素子と、複数の第1のスイッチング素子間の接続点と第2の電位との間に接続され、複数の第1のスイッチング素子と相補的にオンオフする少なくとも1つの第2のスイッチング素子とを含むものである。

【0019】本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。この場合、可変インピーダンス回路の複数の第1のスイッチング素子および少なくとも1つの第2のスイッチング素子が互いに相補的にオンオフされることにより可変インピーダンス回路のインピーダンスが変化する。

【0020】微小信号入力時には、複数の第1のスイッチング素子がオンにされ、少なくとも1つの第2のスイッチング素子がオフにされる。それにより、可変インピーダンス回路のインピーダンスが低くなる。大信号入力時には、複数の第1のスイッチング素子がオフにされ、少なくとも1つの第2のスイッチング素子がオンにされる。それにより、可変インピーダンス回路のインピーダンスが高くなる。

【0021】この場合、第1のスイッチング素子がオフ状態かつ第2のスイッチング素子がオン状態の可変インピーダンス回路のインピーダンスと第1のスイッチング素子がオン状態かつ第2のスイッチング素子がオフ状態の可変インピーダンス回路のインピーダンスとの比が大きくなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化を実現するとともに大信号入力時の低歪み化を実現することができる。

【0022】可変利得型差動増幅器は、第2のトランジスタの第2の端子に接続され、出力信号を導出する出力端子をさらに備えてもよい。

【0023】この場合、第1および第2の入力信号の差動増幅の結果を示す出力信号が出力端子に導出される。

【0024】可変利得型差動増幅器は、第1のトランジスタの第2の端子に接続され、第1の出力信号を導出する第1の出力端子と、第2のトランジスタの第2の端子に接続され、第2の出力信号を導出する第2の出力端子とをさらに備えてもよい。

【0025】この場合、第1および第2の入力信号の差動増幅の結果を示す第1および第2の出力信号が差動出力として第1および第2の出力端子に導出される。

【0026】可変利得型差動増幅器は、第1の入力信号を受け、第1のトランジスタの第1の端子に与える入力端子と、入力端子の第1の入力信号を反転して第2のトランジスタの第1の端子に第2の信号として与える反転回路とをさらに備えてもよい。

【0027】この場合、単一の第1の入力信号が入力されると、その第1の入力信号が反転され、第1の入力信号およびその反転信号が差動増幅される。

【0028】本発明に係る乗算回路は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第3の負荷を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第4の負荷を介して第2の電位に接続され、可変インピーダンス回路は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に直列に接続された複数の第1のスイッチング素子と、複数の第1のスイッチング素子間の接続点と第2の電位との間に接続され、複数の第1のスイッチング素子と相補的にオンオフする少なくとも1つの第2のスイッチング素子とを含んでもよい。

【0029】本発明に係る乗算回路においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3および第4の入力信号が差動増幅され、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。

【0030】この場合、可変インピーダンス回路の複数の

の第1のスイッチング素子および少なくとも1つの第2のスイッチング素子が互いに相補的にオンオフされることにより可変インピーダンス回路のインピーダンスが変化する。

【0031】微小信号入力時には、複数の第1のスイッチング素子がオンにされ、少なくとも1つの第2のスイッチング素子がオフにされる。それにより、可変インピーダンス回路のインピーダンスが低くなる。大信号入力時には、複数の第1のスイッチング素子がオフにされ、少なくとも1つの第2のスイッチング素子がオンにされる。それにより、可変インピーダンス回路のインピーダンスが高くなる。

【0032】この場合、第1のスイッチング素子がオフ状態であつ第2のスイッチング素子がオン状態の可変インピーダンス回路のインピーダンスと第1のスイッチング素子がオン状態であつ第2のスイッチング素子がオフ状態の可変インピーダンス回路のインピーダンスとの比が大きくなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化を実現するとともに大信号入力時の低歪み化を実現することができる。

【0033】乗算回路は、第2および第4のトランジスタの第2の端子に接続され、出力信号を導出する出力端子をさらに備えてもよい。

【0034】この場合、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果との乗算結果を示す出力信号が出力端子に導出される。

【0035】乗算回路は、第1および第3のトランジスタの第2の端子に接続され、第1の出力信号を導出する第1の出力端子と、第2および第4のトランジスタの第2の端子に接続され、第2の出力信号を導出する第2の出力端子とをさらに備えてもよい。

【0036】この場合、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果との乗算結果を示す第1および第2の出力信号が差動出力として第1および第2の出力端子に導出される。

【0037】乗算回路は、第1の入力信号を受け、第1および第4のトランジスタの第1の端子に与える第1の入力端子と、第1の入力端子の第1の入力信号を反転して第2および第3のトランジスタの第1の端子に第2の入力信号として与える第1の反転回路と、第3の入力信号を受け、第5のトランジスタの第1の端子に与える第2の入力端子と、第2の入力端子の第3の入力信号を反転して第6のトランジスタの第1の端子に第4の入力信号として与える第2の反転回路とをさらに備えてもよい。

【0038】この場合、単一の第1の入力信号および単一の第3の入力信号が入力されると、その第1の入力信号および第3の入力信号がそれぞれ反転され、第1の入力信号およびその反転信号が差動増幅されるとともに、

第3の入力信号およびその反転信号が差動増幅され、第1の入力信号およびその反転信号の差動増幅の結果と第3の入力信号およびその反転信号の差動増幅の結果とが乗算される。

【0039】

【発明の実施の形態】図1は本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0040】図1の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）1、2、抵抗3、4、5、6、11、12、13およびn-MOSFET（以下、FETと略記する）7、8、9により構成される。FET7、8、9が可変抵抗回路20を構成する。抵抗3、4、5、6は定電流源として働く。

【0041】トランジスタ1のベースは入力信号RF_{in}(+)を受ける入力端子N11に接続され、トランジスタ2のベースは入力信号RF_{in}(-)を受ける入力端子N12に接続されている。入力信号RF_{in}(+)、RF_{in}(-)は、差動入力である。トランジスタ1、2のコレクタは、それぞれ抵抗3、4を介して電源電圧V_{cc}を受ける電源端子NVCに接続されている。トランジスタ1、2のエミッタは、それぞれ抵抗5、6を介して接地端子に接続されている。また、トランジスタ1、2のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RF_{out}(+)、RF_{out}(-)が導出される。出力信号RF_{out}(+)、RF_{out}(-)は差動出力である。

【0042】トランジスタ1、2のエミッタに接続されるノードN1、N2間には、2つのFET7、8が直列に接続されている。また、FET7、8間のノードN3と接地端子との間にFET9が接続されている。

【0043】FET7、8のゲートは、それぞれ抵抗11、12を介して制御電圧AGC1を受ける制御端子NG1に接続されている。FET9のゲートは、抵抗13を介して制御電圧AGC2を受ける制御端子NG2に接続されている。制御電圧AGC1、AGC2は互いに相補的に変化する。

【0044】本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、FET7、8が第1のスイッチング素子に相当し、FET9が第2のスイッチング素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗5が第2の負荷に相当し、抵抗4が第3の負荷に相当し、抵抗6が第4の負荷に相当する。さらに、可変抵抗回路20が可変インピーダンス回路に相当する。

【0045】図2は図1の可変抵抗回路20の等価回路を説明するための図であり、(a)は可変抵抗回路20の回路図、(b)はFET7、8がオン状態でFET9

がオフ状態の場合の可変抵抗回路20の等価回路図、

(c)はFET7, 8がオフ状態でFET9がオン状態の場合の可変抵抗回路20の等価回路図である。

【0046】ここで、FET7, 8, 9のオン時の抵抗をオン抵抗 R_{on} とし、FET7, 8, 9のオフ時の容量をオフ容量 C_{off} とする。

【0047】以下、可変抵抗回路20のFET7, 8をシリーズFET7, 8と呼び、FET9をシャントFETと呼ぶ。

【0048】微小信号入力時には、制御電圧 $AGC1$ を10
ハイレベルに設定し、制御電圧 $AGC2$ をローレベルに設定することにより、シリーズFET7, 8をオンにし、シャントFET9をオフにする。ここで、シリーズFET7, 8がオン状態でありかつシャントFET9がオフ状態である場合に、可変抵抗回路20がオン状態であると称する。この場合、図2(b)に示すように、ノード $N1, N2$ 間に2つのオン抵抗 R_{on} が直列に接続される。また、オン抵抗 R_{on} 間のノード $N3$ と接地端子との間にオフ容量 C_{off} が接続される。それにより、可変抵抗回路20のインピーダンスが低くなる。その結果、高利得および低雑音特性が得られる。

【0049】大信号入力時には、制御電圧 $AGC1$ をローレベルに設定し、制御電圧 $AGC2$ をハイレベルに設定することにより、シリーズFET7, 8をオフにし、シャントFET9をオンにする。ここで、シリーズFET7, 8がオフ状態でありかつシャントFET9がオン状態である場合に、可変抵抗回路20がオフ状態であると称する。この場合、図2(c)に示すように、ノード $N1, N2$ 間に2つのオフ容量 C_{off} が直列に接続される。また、オン抵抗 R_{on} 間のノード $N3$ と接地端子との間にオン抵抗 R_{on} が接続される。それにより、可変抵抗回路20のインピーダンスが高くなる。その結果、低歪み化が図られる。

【0050】この場合、ノード $N1, N2$ 間の可変抵抗回路20のオフ状態でのインピーダンスとオン状態でのインピーダンスとの比が高くなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化が実現されるとともに、大信号入力時の低歪み化が実現される。

【0051】ここで、図2の可変抵抗回路20および図10の可変抵抗回路200におけるオフ状態およびオン状態のインピーダンス比を比較するためにアイソレーション（絶縁度）および挿入損失を計算した。

【0052】計算に用いたFETのオン抵抗 R_{on} を2 Ω mmとし、オフ容量 C_{off} を約1pF/mmとした。標準的なCMOSプロセスを仮定し、ゲート幅を10 μ m～100 μ mの範囲で変化させた。計算周波数は1GHzであり、十分にオフ容量が影響する周波数である。

【0053】図3は図10の可変抵抗回路200のアイ

ソレーション（絶縁度）および挿入損失の計算結果を示す図である。また、図4は図2の可変抵抗回路20のアイソレーション（絶縁度）および挿入損失の計算結果を示す図である。

【0054】図4に示すように、図2の可変抵抗回路20では、図3に示す図10の可変抵抗回路200に比べて、オン状態の挿入損失は若干劣化しているが、オフ状態のアイソレーションは30dB以上改善されている。したがって、FETのゲート幅を増加させることにより、オフ状態のアイソレーションを低下させることなく、オン状態の挿入損失を低減することが可能となる。

【0055】例えば、図1の可変利得型差動増幅器におけるトランジスタ1, 2のエミッタサイズを低雑音化に適したサイズに選び、可変抵抗回路20のシリーズFET7, 8のゲートに与える制御電圧 $AGC1$ およびシャントFET9のゲートに与える制御電圧 $AGC2$ を3Vと0Vとに切り替えることにより、シリーズFET7, 8およびシャントFET9をオン状態とオフ状態とに切り替える。微小信号入力時には、制御電圧 $AGC1$ を3Vに設定し、制御電圧 $AGC2$ を0Vに設定することにより、シリーズFET7, 8をオンにし、シャントFET9をオフにする。また、大信号入力時には、制御電圧 $AGC1$ を0Vに設定し、制御電圧 $AGC2$ を3Vに設定することにより、シリーズFET7, 8をオフにし、シャントFET9をオンにする。

【0056】この場合、例えば、シリーズFET7, 8およびシャントFET9のゲート幅をそれぞれ250 μ mに選ぶと、可変抵抗回路20のオン状態およびオフ状態のインピーダンス比が-1.298dB/-54.2dBとなる。一方、図9の可変利得型差動増幅器におけるFET107のゲート幅を250 μ mに選ぶと、可変抵抗回路200のオン状態およびオフ状態のインピーダンス比が-0.668dB/-16.2dBとなる。

【0057】このように、本実施の形態の可変利得型差動増幅器においては、可変抵抗回路20のオフ状態およびオン状態のインピーダンス比が図9の従来の可変利得型差動増幅器における可変抵抗回路200に比べて大幅に改善される。

【0058】また、可変抵抗回路20のシリーズFET7, 8のゲート幅を固定してシャントFET9のゲート幅を変化させることにより、オフ状態およびオン状態のインピーダンス比をさらに改善することができる。

【0059】図5は本発明の第2の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0060】図5の可変利得型差動増幅器は、図1の可変利得型差動増幅器の構成に抵抗14, 15およびコンデンサ16, 17, 18をさらに備える。入力端子 $N11$ とトランジスタ1のベースとの間にコンデンサ16が接続され、入力端子 $N12$ とトランジスタ2のベースとの間に抵抗14が接続されている。トランジスタ1のベ

ースとトランジスタ2のベースとの間には抵抗15が接続され、トランジスタ2のベースはコンデンサ17を介して接地されている。また、トランジスタ2のコレクタと出力端子NO2との間にはコンデンサ18が接続されている。このようにして、入力端子NI2は、高周波的に接地されている。

【0061】図5の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0062】本実施の形態では、抵抗14、15およびコンデンサ16、17が反転回路を構成する。

【0063】入力端子NI1には片接地入力信号RF inが与えられ、入力端子NI2には直流バイアスVbbが印加される。トランジスタ2のベースには片接地入力信号RF inの反転信号が現れる。出力端子NO2からは片側出力信号RF outが導出される。

【0064】本実施の形態の可変利得型差動増幅器においても、第1の実施の形態の可変利得型差動増幅器と同様に、ノードN1、N2間の可変抵抗回路20のオフ状態でのインピーダンスとオン状態でのインピーダンスとの比が高くなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化が実現されるとともに、大信号入力時の低歪み化が実現される。

【0065】図6は可変抵抗回路20の他の例を示す回路図である。図6の可変抵抗回路20は、m個のシリーズFET78と(m-1)個のシャントFET90により構成される。m個のシリーズFET78は、ノードN1とノードN2との間に直列に接続されている。(m-1)個のシャントFET90は、シリーズFET78間の接続点と接地端子との間にそれぞれ接続されている。ここで、mは3以上の整数である。

【0066】シリーズFET78のゲートは、抵抗112を介して制御電圧AGC1を受ける制御端子NG1に接続され、シャントFET90のゲートは、抵抗130を介して制御電圧AGC2を受ける制御端子NG2に接続されている。

【0067】図1の可変抵抗回路20の各シリーズFET7、8のソース・ドレイン間にそのFETの性能を超える電圧が印加されると、出力信号に歪みが生じる。そこで、図6に示すように、m個のシリーズFET78をノードN1とノードN2との間に直列に接続することにより、各FET78のソース・ドレイン間に印加される電圧が低減される。それにより、大信号入力時のさらなる低歪み化が図られる。

【0068】図7は本発明の第3の実施の形態におけるギルバート型乗算回路(混合器)の構成を示す回路図である。

【0069】図7の可変利得型差動増幅器は、バイポーラトランジスタ(以下、トランジスタと略記する)1、2、21、22、23、24、抵抗3、4、5、6、1

1、12、13およびn-MOSFET(以下、FETと略記する)7、8、9により構成される。FET7、8、9が可変抵抗回路20を構成する。抵抗3、4、5、6は定電流源として働く。

【0070】トランジスタ1のベースは入力信号RF in(+)を受ける入力端子NI1に接続され、トランジスタ2のベースは入力信号RF in(-)を受ける入力端子NI2に接続されている。入力信号RF in(+), RF in(-)は、差動入力である。トランジスタ1のコレクタと出力端子NO1、NO2との間にそれぞれトランジスタ21、22が挿入されている。また、トランジスタ2のコレクタと出力端子NO1、NO2との間にそれぞれトランジスタ23、24が挿入されている。トランジスタ21、24のベースは入力信号LO in(+)を受ける入力端子NI3に接続され、トランジスタ22、23のベースは入力信号LO in(-)を受ける入力端子NI4に接続されている。入力信号LO in(+), LO in(-)は差動入力である。トランジスタ21、23のコレクタは、抵抗3を介して電源電圧Vccを受ける電源端子NVCに接続されている。また、トランジスタ22、24のコレクタは、抵抗4を介して電源端子NVCに接続されている。

【0071】図7のギルバート型乗算回路の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0072】本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、トランジスタ21が第3のトランジスタに相当し、トランジスタ22が第4のトランジスタに相当し、トランジスタ23が第5のトランジスタに相当し、トランジスタ24が第6のトランジスタに相当する。FET7、8が第1のスイッチング素子に相当し、FET9が第2のスイッチング素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗5が第2の負荷に相当し、抵抗4が第3の負荷に相当し、抵抗6が第4の負荷に相当する。さらに、可変抵抗回路20が可変インピーダンス回路に相当する。

【0073】以下、可変抵抗回路20のFET7、8をシリーズFET7、8と呼び、FET9をシャントFET9と呼ぶ。

【0074】ここで、一方の差動入力信号を $RF = RF_{in}(+) - RF_{in}(-)$ とし、他方の差動入力信号を $LO = LO_{in}(+) - LO_{in}(-)$ とし、差動出力信号を $IF = IF_{out}(+) - IF_{out}(-)$ とする。また、差動入力信号RFの周波数を f_{rf} とし、差動入力信号LOの周波数を f_{lo} とし、差動出力信号IFの周波数を f_{if} とすると、次式が成立する。

$$【0075】 f_{if} = f_{rf} \pm f_{lo}$$

例えば、差動入力信号RFの周波数 f_{rf} を1.1GHzとし、差動入力信号LOの周波数 f_{lo} を1GHzとする

と、差動出力信号IFの周波数 f_{if} は2.1GHzおよび100MHzとなる。したがって、図7のギルバート型乗算回路は、100MHzの周波数 f_{if} を取り出すことにより、ダウンコンバータとして用いることができる。

【0076】図7のギルバート型乗算回路においては、微小信号入力時には、制御電圧AGC1をハイレベルに設定し、制御電圧AGC2をローレベルに設定することにより、シリーズFET7, 8をオンにし、シャントFET9をオフにする。それにより、高利得および低雑音特性が得られる。

【0077】大信号入力時には、制御電圧AGC1をローレベルに設定し、制御電圧AGC2をハイレベルに設定することにより、シリーズFET7, 8をオフにし、シャントFET9をオンにする。それにより、低歪み化が図られる。

【0078】この場合、ノードN1, N2間の可変抵抗回路20のオフ状態でのインピーダンスとオン状態でのインピーダンスとの比が高くなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化が実現されるとともに、大信号入力時の低歪み化が実現される。

【0079】図8は本発明の第4の実施の形態におけるギルバート型乗算回路（混合器）の構成を示す回路図である。

【0080】図8のギルバート型乗算回路は、図7のギルバート型乗算回路の構成に抵抗14, 15, 25, 26およびコンデンサ16, 17, 18, 27, 28をさらに備える。

【0081】入力端子N11とトランジスタ1のベースとの間にコンデンサ16が接続され、入力端子N12とトランジスタ2のベースとの間に抵抗14が接続されている。トランジスタ1のベースと入力端子N12との間には抵抗15が接続され、トランジスタ2のベースはコンデンサ17を介して接地されている。このようにして、入力端子N12は、高周波的に接地されている。

【0082】入力端子N13とトランジスタ21, 24のベースとの間にコンデンサ27が接続され、入力端子N14とトランジスタ22, 23のベースとの間に抵抗26が接続されている。トランジスタ21, 24のベースと入力端子N14との間には抵抗25が接続され、トランジスタ22, 23のベースはコンデンサ28を介して接地されている。このようにして、入力端子N14は、高周波的に接地されている。

【0083】また、トランジスタ22, 24のコレクタと出力端子NO2との間にはコンデンサ18が接続されている。

【0084】図8のギルバート型乗算回路の他の部分の構成は、図7のギルバート型乗算回路の構成と同様である。

【0085】本実施の形態では、抵抗14, 15およびコンデンサ16, 17が第1の反転回路を構成し、抵抗25, 26およびコンデンサ27, 28が第2の反転回路を構成する。

【0086】入力端子N11には片接地入力信号RF inが与えられ、入力端子N12には直流バイアスVbb2が印加される。トランジスタ2のベースには片接地入力信号RF inの反転信号が現れる。入力端子N13には片接地入力信号LO inが与えられ、入力端子N14には直流バイアスVbb1が印加される。トランジスタ22, 23のベースには片接地入力信号LO inの反転信号が現れる。

【0087】出力端子NO2からは片接地入力信号RF inと片接地入力信号LO inとの乗算結果を示す片側出力信号IF outが導出される。

【0088】本実施の形態のギルバート型乗算回路においても、第3の実施の形態のギルバート型乗算回路と同様に、ノードN1, N2間の可変抵抗回路20のオフ状態でのインピーダンスとオン状態でのインピーダンスとの比が高くなる。その結果、高周波領域においても微小信号入力時の高利得化および低雑音化が実現されるとともに、大信号入力時の低歪み化が実現される。

【0089】図7および図8のギルバート型乗算回路においても、図6の可変抵抗回路20を用いてもよい。それにより、大信号入力時のさらなる低歪み化が図られる。

【0090】なお、上記実施の形態では、第1～第6のトランジスタとしてバイポーラトランジスタを用いているが、第1～第6のトランジスタとしてMOSFET、MESFET（金属半導体電界効果トランジスタ）等の他のトランジスタを用いてもよい。

【0091】また、上記実施の形態では、第1～第4の負荷として抵抗3～6を用いているが、第1～第4の負荷としてMOSFET、MESFET、バイポーラトランジスタインダクタ、変圧器等の他の素子を用いてもよい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図2】図1の可変抵抗回路の等価回路を説明するための図である。

【図3】図10の可変抵抗回路のアイソレーションおよび挿入損失の計算結果を示す図である。

【図4】図2の可変抵抗回路のアイソレーションおよび挿入損失の計算結果を示す図である。

【図5】本発明の第2の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図6】可変抵抗回路の他の例を示す回路図である。

【図7】本発明の第3の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図8】本発明の第4の実施の形態におけるギルバート型乗算回路の構成を示す回路図である。

【図9】従来の可変利得型差動増幅器の構成を示す回路図である。

【図10】図9の可変抵抗回路の等価回路を説明するための図である。

【符号の説明】

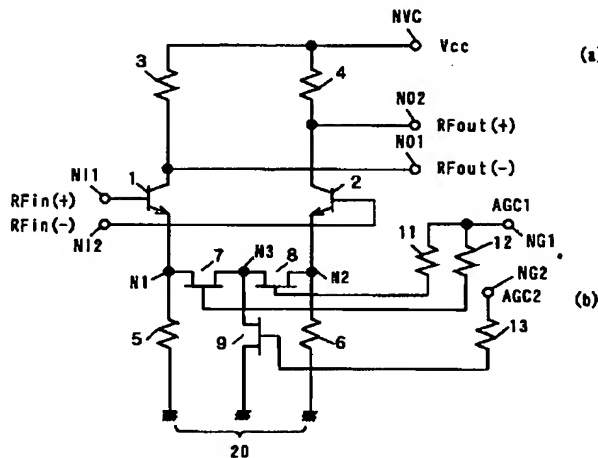
- 1, 2, 21, 22, 23, 24 トランジスタ
3, 4, 5, 6, 11, 12, 13, 14, 15, 2
5, 26, 130 抵抗
7, 8, 9, 78, 90 FET
16, 17, 18, 26, 27, 28 コンデンサ
20 可変抵抗回路

10

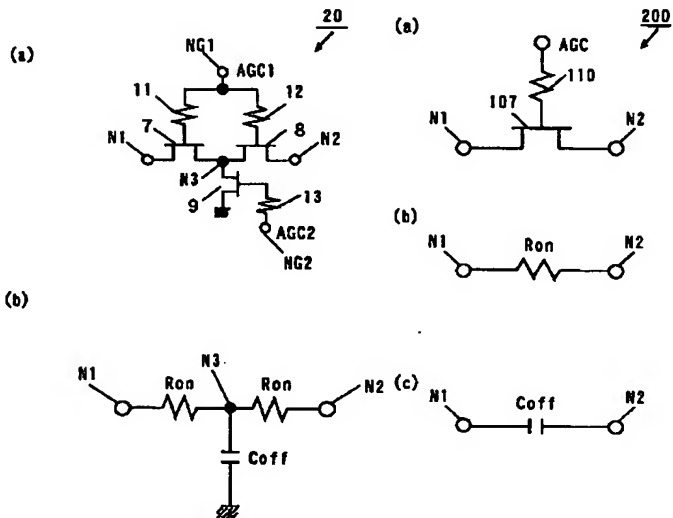
- * NI1, NI2, NI3, NI4 入力端子
NO1, NO2 出力端子
NG1, NG2 制御端子
NVC 電源端子
RFin(+), RFin(-), RFin, LOin(+), LOin(-), LOin 入力信号
RFout(+), RFout(-), RFout, IFout(+), IFout(-), IFout 出力信号
Vcc 電源電圧
AGC1, AGC2 制御電圧

*

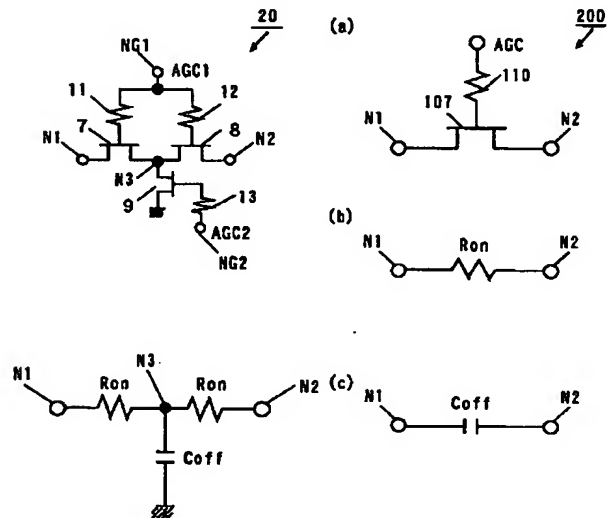
【図1】



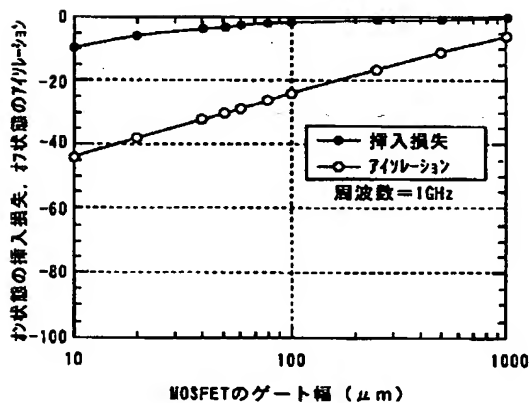
【図2】



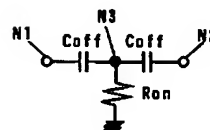
【図10】



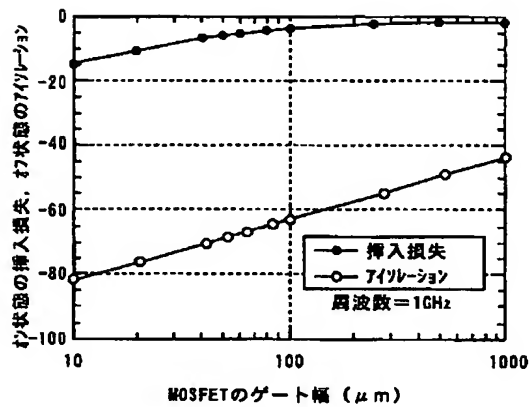
【図3】



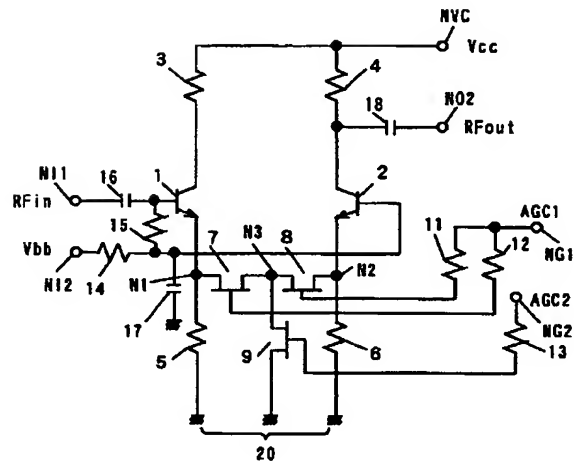
(c)



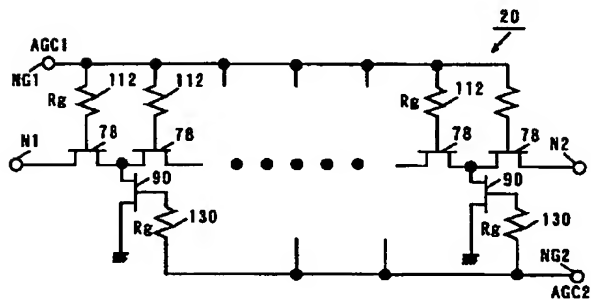
【図4】



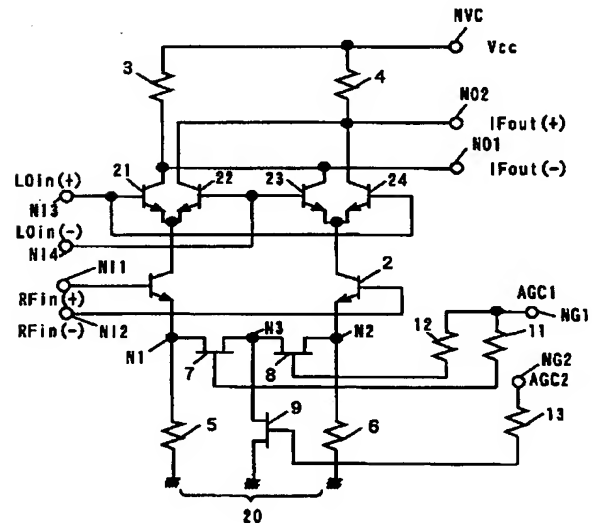
【図5】



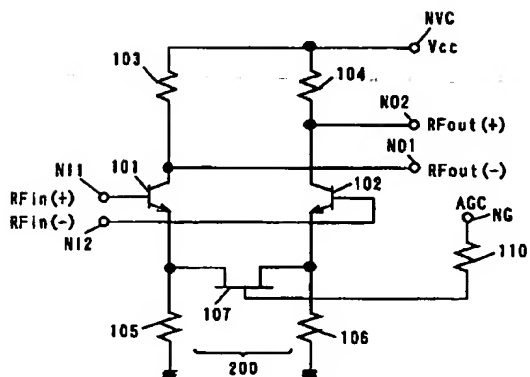
【図6】



【図7】

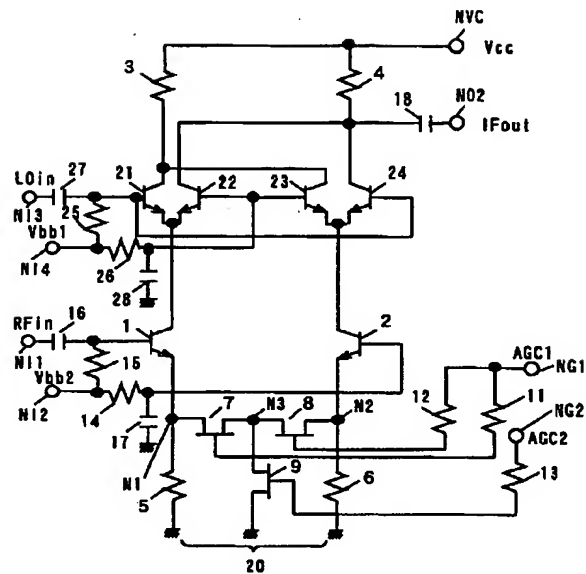


【図9】



BEST AVAILABLE COPY

【図8】



フロントページの続き

F ターム(参考) 5J066 AA01 AA12 AA51 CA21 CA35
 CA41 FA10 HA02 HA10 HA18
 HA25 HA26 HA29 HA39 KA06
 MA21 ND01 ND11 ND28 PD02
 TA02
 5J090 AA01 AA12 AA51 CA21 CA35
 CA41 FA10 GN01 GN08 HA02
 HA10 HA18 HA25 HA26 HA29
 HA39 KA06 MA21 TA02
 5J100 LA10 QA01 QA03 SA00
 5J500 AA01 AA12 AA51 AC21 AC35
 AC41 AF10 AH02 AH10 AH18
 AH25 AH26 AH29 AH39 AK06
 AM21 AT02 DN01 DN11 DN28
 DP02

BEST AVAILABLE COPY